

強誘電体メモリ装置およびその製造方法ならびに混載装置

本願では、2000年09月18日に出願された日本特許出願2000-281725の内容がそのまま含まれる。

5

技術分野

本発明は、強誘電体メモリ装置およびその製造方法ならびに混載装置に関し、特に、セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型の強誘電体メモリ装置およびその製造方法ならびに混載装置に関する。

10

背景

セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型のメモリセルアレイは、非常に簡単な構造を有し、高い集積度を得ることができることから、その開発が期待されている。

15

サマリー

本発明の目的は、所望のメモリセルアレイを有する強誘電体メモリ装置およびその製造方法ならびに混載装置を提供することにある。

20 本発明の強誘電体メモリ装置は、

メモリセルがマトリクス状に配列され、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を含むメモリセルアレイと、

前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための

25 周辺回路部と、を含み、

前記メモリセルアレイと前記周辺回路部とは、異なる層に配置され、

前記周辺回路部は、前記メモリセルアレイの外側の領域に形成されている。

本発明においては、周辺回路部は、メモリセルアレイの外側の領域に形成されてい

る。このため、メモリセルアレイの下の半導体基板は、平坦である。その結果、その半導体基板の上に、平坦な層間絶縁層を容易に形成することができる。したがって、平坦な層間絶縁層の上に、確実にメモリセルアレイを形成することができ、所望のパターンを有するメモリセルアレイを容易に形成することができる。

5 本発明においては、強誘電体層は、次の3つの態様のいずれかをとることができる。

(1) 強誘電体層は、第1信号電極に沿ってライン状に配置されている態様である。具体的には、前記強誘電体層は、前記第1信号電極上に選択的に配置されている態様である。この態様の場合、強誘電体層が第1信号電極に沿ってライン状に形成されているため、第2信号電極の浮遊容量を小さくすることができる。

10 基体上に前記メモリセルが配置され、前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられていることができる。

また、前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

15 前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成されていることができる。

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有することができる。または、前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有することができる。

20 (2) 強誘電体層は、第2信号電極に沿ってライン状に配置されている態様である。具体的には、前記強誘電体層は、前記第2信号電極上に選択的に配置されている態様である。この態様の場合、強誘電体層が第2信号電極に沿ってライン状に形成されているため、第1信号電極の浮遊容量を小さくすることができる。

25 基体上に前記メモリセルが配置され、前記基体および前記第1信号電極の露出面が覆われるよう、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられていることができる。

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることがで

きる。

(3) 前記強誘電体層は、前記第1信号電極と前記第2信号電極との交差領域のみに配置されている態様である。この態様の場合、強誘電体層が最小の領域で形成されているため、さらに信号電極の浮遊容量を小さくすることができる。

5 基体上に前記メモリセルが配置され、前記基体の露出面の一部が覆われるように、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられていることができる。

前記基体上において、さらに前記基体および前記第1信号電極の露出面が誘電体層によって覆われていることができる。

10 前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成されたことができる。

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を有することができる。または、前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有することができる。

また、本発明の強誘電体メモリ装置は、次の構成をとることができる。

20 (A) 前記強誘電体メモリ装置は、絶縁性基体を有し、

前記メモリセルアレイは、前記絶縁性基体の溝内に設けられた前記第1信号電極と、前記強誘電体層と、前記第2信号電極とを含み、

前記第1信号電極が形成された前記絶縁性基体の上に、前記強誘電体層および前記第2信号電極が積層されていることができる。

25 ここで、絶縁性基板とは、少なくとも前記第1信号電極が形成される表面部分が絶縁性を有する基板を意味し、導電性材料による基板の表面部のみに絶縁性を持たせたものでもよい（以下において同じ）。

(B) 前記メモリセルアレイは、絶縁性基体を有し、

絶縁性基体に所定パターンで形成された凹部および凸部を有し、

前記凹部の底面および前記凸部の上面に、それぞれ前記第1信号電極が配置され、前記第1信号電極が形成された絶縁性基体上に、前記強誘電体層および前記第2信号電極が積層されていることができる。

(C) 上述の強誘電体メモリ装置を単位ブロックとして、該単位ブロックを複数所5 定パターンで配列していることができる。

(D) 複数組のメモリセルアレイを有し、

前記複数組のメモリセルアレイは、積層されて形成されていることができる。

(E) 前記第1信号電極間に、絶縁層が設けられ、

前記第1信号電極の上面と、前記絶縁層の上面とは、面一であることができる。

10 (強誘電体メモリ装置の製造方法)

強誘電体メモリ装置の製造方法は、

(a) 半導体基板上に、メモリセルに対して選択的に情報の書き込みもしくは読み出しへ行うための周辺回路部を形成する工程、および

(b) 少なくとも、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を形成して、メモリセルがマトリクス状に配列されたメモリセルアレイを形成する工程を含み、-----

前記周辺回路部は、前記メモリセルアレイの外側の領域において形成される。

具体的には、前記工程(b)は、前記第1信号電極を形成する工程(b-1)、

20 前記強誘電体層を形成する工程(b-2)、および

前記第2信号電極を形成する工程(b-3)、を含むことができる。

前記工程(b-2)は、非晶質状態または微結晶状態の強誘電体層を形成する工程、および、該非晶質状態または微結晶状態の強誘電体層を熱処理して、前記強誘電体層を形成する工程を含むことができる。これによれば、選択成長により強誘電体層を形成する場合において、他の形成方法に比べて低温で、強誘電体層の選択成長を行うことができる。

前記工程(b-2)は、次の3つの態様のうちいずれかの態様をとることができる。

(1) 第1の態様として、前記工程(b-2)は、前記第1信号電極に沿ってライ

ン状の強誘電体層を形成する工程である。

この態様の場合、基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含むことができる。

また、前記基体の表面上に、前記第1および第2の領域を形成することができる。

また、前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成することができる。

または、前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成することができる。

また、前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられることができる。

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

(2) 第2の態様として、前記第1信号電極と交差する方向に、前記強誘電体層および前記第2信号電極が形成され、

前記強誘電体層は、前記第2信号電極に沿ってライン状に形成される態様である。

この態様の場合、前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによってパターニングされることがある。

前記基体および前記第1信号電極の露出面が覆われるよう、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられることがある。

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

(3) 第3の態様として、前記工程(b-3)の後、前記強誘電体層をパターニングして、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に前記強誘電体層を残す工程(b-4)を含む。

この態様の場合、前記基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含むことができる。

前記基体の表面上に、前記第1および第2の領域を形成することができる。

前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成することができる。

または、前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによってパターニングされることができる。

前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられることができる。

前記基体および前記第1信号電極の露出面が覆われるよう、さらに、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられることができる。

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなることができる。

本発明の強誘電体メモリ装置の製造方法は、さらに、次の工程を含むことができる。

前記工程（b-1）の後に、前記第1信号電極間に絶縁層を工程（b-5）を含み、前記絶縁層の上面と前記第1信号電極の上面とは、面一であることができる。工程（b-5）を含むことにより、平坦な面の上に、強誘電体層を形成することができる。このため、所望のパターンを有する強誘電体層を形成するのが容易となる。

5 具体的には、前記工程（b-5）は、溶液塗布法を用いて、絶縁層を形成し、該絶縁層を平坦化する工程である。

（混載装置）

本発明の混載装置は、

本発明の強誘電体メモリ装置と、

10 フラッシュメモリ、プロセッサ、アナログ回路およびS R A Mの群から選択される少なくとも1種とが混載されている。

図面の簡単な説明

図1は、第1の実施の形態に係る強誘電体メモリ装置を模式的に示す平面図である。

15 図2は、図1のA-A線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

図3は、強誘電体メモリ装置の製造工程を模式的に示す断面図である。

図4は、強誘電体メモリ装置の製造工程を模式的に示す断面図である。

図5は、メモリセルアレイの一部を拡大して示す平面図である。

20 図6は、図5のB-B線に沿った断面図である。

図7は、強誘電体メモリ装置1000の製造工程を模式的に示す断面図である。

図8は、強誘電体メモリ装置1000の製造工程を模式的に示す断面図である。

図9は、第3の実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図である。

25 図10は、図9のC-C線に沿った断面図である。

図11は、第3の実施の形態に係るメモリセルアレイ200Cの製造工程を模式的に示す断面図である。

図12は、第3の実施の形態に係るメモリセルアレイ200Cの製造工程を模式的

に示す断面図である。

図13は、第3の実施の形態に係るメモリセルアレイ200Cの製造工程を模式的に示す断面図である。

図14は、第3の実施の形態に係るメモリセルアレイ200Cの製造工程を模式的に示す断面図である。

図15は、本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図である。

図16は、図15のD-D線に沿った断面図である。

図17は、図15のE1-E1線に沿った断面図である。

図18は、図15のE2-E2線に沿った断面図である。

図19は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

図20は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

図21は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

図22は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

図23は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

20

す図である。

図24は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

図25は、本実施の形態に係るメモリセルアレイ200Dの製造工程を模式的に示す図である。

25

す図である。

図27は、メモリセルアレイの変形例を模式的に示す断面図である。

図28は、メモリセルアレイの変形例を模式的に示す断面図である。

図29は、メモリセルアレイの変形例を模式的に示す断面図である。

図30は、メモリセルアレイの変形例を模式的に示す断面図である。

図31は、メモリセルアレイの変形例を模式的に示す断面図である。

図32は、本発明の強誘電体メモリ装置を適用したエンベデット装置の一例を模式的に示す平面図である。

5

詳細な説明

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

[第1の実施の形態]

(デバイス)

図1は、第1の実施の形態に係る強誘電体メモリ装置を模式的に示す平面図であり、

図2は、図1のA-A線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

本実施の形態の強誘電体メモリ装置1000は、メモリセルアレイ100と、周辺回路部200とを有する。そして、メモリセルアレイ100と周辺回路部200とは、異なる層に形成されている。周辺回路部200は、メモリセルアレイ100の外側の領域において形成されている。具体的には、周辺回路部の形成領域A200は、メモリセルアレイの形成領域A100の外側の領域において設けられている。この例では、下層に周辺回路部200が、上層にメモリセルアレイ100が形成されている。周辺回路部200の具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダまたはアドレスバッファを挙げることができる。

メモリセルアレイ100は、行選択のための第1信号電極(ワード線)12と、列選択のための第2信号電極(ビット線)16とが直交するように配列されている。なお、信号電極は、上記の逆でもよく、第1信号電極がビット線、第2信号電極がワード線でもよい。

そして、図2に示すように、第1信号電極12と第2信号電極16との間には強誘電体層14が配置されている。従って、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタからなるメモリセルが構成されている。強誘電体層14は、隣り合うメモリセルにおける強誘電体層14が相互に連続するよ

うに形成されている。具体的には、強誘電体層 14 は、メモリセルアレイの形成領域 A100において連続的に形成されている。

そして、第 1 信号電極 12、強誘電体層 14 および第 2 信号電極 16 を覆うように、絶縁層からなる第 1 保護層 36 が形成されている。さらに、第 2 配線層 40 を覆うよ

5 うに第 1 保護層 36 上に絶縁性の第 2 保護層 38 が形成されている。

周辺回路部 200 は、図 1 に示すように、前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための各種回路を含み、例えば、第 1 信号電極 12 を選択的に制御するための第 1 駆動回路 50 と、第 2 信号電極 34 を選択的に制御するための第 2 駆動回路 52 と、センスアンプなどの信号検出回路（図示せず）とを含む。

10 また、周辺回路部 200 は、図 2 に示すように、半導体基板 110 上に形成された MOS トランジスタ 112 を含む。MOS トランジスタ 112 は、ゲート絶縁層 112a、ゲート電極 112b およびソース／ドレイン領域 112c を有する。各 MOS トランジスタ 112 は素子分離領域 114 によって分離されている。MOS トランジ 15 スタ 112 が形成された半導体基板 110 上には、第 1 層間絶縁層 10 が形成されて いる。そして、周辺回路部 200 とメモリセルアレイ 100 とは、第 1 配線層 40 によつて電気的に接続されている。

次に、本実施の形態の強誘電体メモリ装置 1000 における書き込み、読み出し動作の一例について述べる。

20 まず、読み出し動作においては、選択セルのキャパシタに読み出し電圧「 V_0 」が印加される。これは、同時に ‘0’ の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流またはビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。このとき、非選択セルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

25 書き込み動作においては、‘1’ の書き込みの場合は、選択セルのキャパシタに ‘ $-V_0$ ’ の電圧が印加される。‘0’ の書き込みの場合は、選択セルのキャパシタに、該選択セルの分極を反転させない電圧が印加され、読み出し動作時に書き込まれた ‘0’ 状態を保持する。このとき、非選択セルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。

以上の構成の強誘電体メモリ装置によれば、メモリセルアレイ100の下には、周辺回路部が形成されていない。このため、第1層間絶縁層10の下の基体は平坦であるため、第1層間絶縁層10の堆積時の膜厚を一定にし易い。第1層間絶縁層10の堆積時の膜厚が一定であるほど、第1層間絶縁層10の平坦化が容易となる。その結果、所定のパターンを有するメモリセルアレイ100を容易に形成することができる。

5 (デバイスの製造方法)

次に、上述した強誘電体メモリ装置の製造方法の一例について述べる。図3および図4は、強誘電体メモリ装置1000の製造工程を模式的に示す断面図である。

図3に示すように、公知のLSIプロセスを用いて、周辺回路200を形成する。具体的には、半導体基板110上にMOSトランジスタ112を形成する。例えば、半導体基板110上の所定領域にトレンチ分離法、LOCOS法などを用いて素子分離領域114を形成し、ついでゲート絶縁層112aおよびゲート電極112bを形成し、その後、半導体基板110に不純物をドープすることでソース／ドレイン領域112cを形成する。このようにして駆動回路50、52および信号検出回路54などの各種回路を含む周辺回路部200が形成される。ついで、第1層間絶縁層10を形成する。

さらに、周辺回路部200の第1層間絶縁層10上に、第1信号電極12を形成する。第1信号電極12の材質としては、たとえばIr, IrO_x, Pt, RuO_x, SrRuO_x, LaSrCoO_xを挙げることができる。第1信号電極12の形成方法としては、スパッタリング、蒸着、などの方法を挙げることができる。第1信号電極12は、単一の層あるいは複数の層が積層された構造を有することができる。

次に、第1信号電極12をエッチングして、第1信号電極12をパターニングする。第1信号電極12のエッチング方法としては、RIE、スパッタエッチング、プラズマエッチングなどの方法を挙げることができる。

次に、第1信号電極12が形成された第1層間絶縁層10上に、強誘電体層14を形成する。強誘電体層14の材質としては、たとえばPZT(PbZr_xTi_{1-x}O₃)、SBT(SrBi_xTa₂O₉)を挙げることができる。強誘電体層14の成形方法としては、たとえば、ゾルゲル材料やMOD材料を用いたスピンドルコート法やディッピング法、スパッタ法、MOCVD法、レーザアブレーション法を挙げることができる。

次に、強誘電体層 14 をエッチングして、強誘電体層 14 をパターニングする。強誘電体層 14 のパターニングは、強誘電体層 14 がメモリセルアレイの形成領域 A 100 にのみ残るように行われる。

次に、強誘電体層 14 の上に、第 2 信号電極 16 を形成する。第 2 信号電極 16 の材質および形成方法は、第 1 信号電極 12 と同様のものを適用することができる。次に、第 2 信号電極 16 をエッチングして、第 2 信号電極 16 をパターニングをする。第 2 信号電極 16 のエッチング法は、第 1 信号電極 12 と同様のものを適用することができる。

次に、第 2 信号電極 16 が形成された強誘電体層 14 上に、絶縁層からなる第 1 保護層 36 が形成され、さらに第 1 保護層 36 の所定領域にコンタクトホールが形成され、その後、所定パターンの第 1 配線層 40 が形成される。第 1 配線層 40 は、周辺回路部 100 とメモリセルアレイ 200 とを電気的に接続している。さらに最上層に、絶縁層からなる第 2 保護層 38 を形成する。このようにして、強誘電体メモリ装置 1000 が形成される。

[第 2 の実施の形態]

図 5 は、メモリセルアレイの一部を拡大して示す平面図であり、図 6 は、図 5 の B—B 線に沿った断面図である。平面図において、(—) 内の数字は最上層の下の層を示す。本実施の形態において、第 1 の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

第 2 の実施の形態に係る強誘電体メモリ装置は、強誘電体層 14 が第 2 の信号電極 16 に沿ってライン状に形成されている点で、第 1 の実施の形態と異なる。強誘電体層 14 をライン状に形成することで、第 1 信号電極 12 の浮遊容量を小さくすることができます。また、このようなライン状の強誘電体層 14 は、後述するように、第 2 の信号電極 16 のパターニングに用いられるマスクを用いてパターニングして形成することができる。

また、強誘電体層 14 と第 2 信号電極 16 とからなる積層体の相互には、基体 100 および第 1 信号電極 12 の露出面を覆うように、誘電体層 18 が形成されている。この誘電体層 18 は、強誘電体層 14 に比べて小さい誘電率を有することが望ましい。このように強誘電体層 14 および第 2 信号電極 16 からなる積層体の相互間に、強誘

電体層 14 より誘電率の小さい誘電体層 18 を介在させることにより、第 2 信号電極 16 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置 1000 における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

次に、上述した第 6 の変形例の製造方法の一例について述べる。図 7 および図 8 は、

5 強誘電体メモリ装置 1000 の製造工程を模式的に示す断面図である。

(1) 第 1 信号電極の形成工程

まず、図 7 に示すように、基体（たとえば層間絶縁層）10 上に、所定パターンで配列する第 1 信号電極（下電極）12 を形成する。第 1 信号電極 12 の形成方法は、例えば、基体 10 上に第 1 信号電極 12 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

10 電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。例えば、強誘電体層 14 を構成する材料として P Z T を用いる場合には、第 1 信号電極 12 を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第 1 信号電極 12 の材質としては、たとえば Ir, IrO_x, Pt, RuO_x, SrRuO_x, LaSrCoO_x を挙げることができる。また、第 1 信号電極 12 は、単層または複数の層を積層したものを用いることができる。

20 電極材料の成膜方法としては、スパッタリング、真空蒸着、CVD 等の方法が利用できる。パターニング方法としては、リソグラフィ技術を利用することができる。成膜された電極材料を選択的に除去する方法としては、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。

電極材料の形成方法としては、上記エッチングによるパターニングを用いずに、第 3 の実施の形態で述べる表面修飾層を用いた方法（第 3 の実施の形態における（デバイスの製造方法）の欄の工程（1）、（2）参照）を用いることもできる。

25 (2) 強誘電体層の成膜工程

図 7 に示すように、所定パターンの第 1 信号電極 12 が形成された基体 10 上に、強誘電体からなる連続層 140（以下、これを「強誘電体層 140」という）を全面的に形成する。強誘電体層 140 の成形方法としては、たとえば、ゾルゲル材料や MOD (Metal Organic Decomposition) 材料を用いたスピンドル法やディッピング

法、スパッタ法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、レーザアブレーション法を挙げることができる。

強誘電体層の材質としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。このような強誘電体としては、
5 たとえばPZT (PbZr_xTi_{1-x}O₃)、SBT (SrBi₂Ta₂O₉) を挙げることができ、さらに、これらの材料にニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。強誘電体としては、具体的には、チタン酸鉛 (PbTiO₃)、ジルコン酸チタン酸鉛 (Pb(Zr, Ti)O₃)、ジルコン酸鉛 (PbZrO₃)、チタン酸鉛ランタン ((Pb, La), TiO₃)、ジルコン酸チタン酸鉛ランタン ((Pb, La) (Zr, Ti)O₃) またはマグネシウムニオブ酸ジルコニアムチタン酸鉛 (Pb(Zr, Ti) (Mg, Nb)O₃) 等を使用することができる。
10

上述した強誘電体の材料としては、例えばPZTの場合、PbについてはPb(C₂H₅)₄、(C₂H₅)₃PbOCH₂C(CH₃)₃、Pb(C₁₁H₁₉O₂)₂等を、Zrについては、Zr(n-O₂C₄H₉)₄、Zr(t-O₂C₄H₉)₄、Zr(C₁₁H₁₉O₂)₄等を、TiについてはTi(i-C₃H₇)₄等を用いることができ、SBTの場合、SrについてはSr(C₁₁H₁₀O₂)₂等を、BiについてはBi(C₆H₅)₃等を、TaについてはTa(O-C₂H₅)₅等を用いることができる。
15

(3) 第2信号電極の形成工程

図7に示すように、強誘電体層140上に、所定パターンの第2信号電極（上部電極）16を形成する。その形成方法は、例えば、強誘電体層140上に第2信号電極16を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。具体的には、成膜された電極材料層上に所定パターンのレジスト層30を形成し、このレジスト層30をマスクとして電極材料層を選択的にエッチングすることで、第2信号電極16が形成される。

25 第2信号電極16の材料、成膜方法、リソグラフィーを用いたパターニング方法については、前述した工程（1）の第1信号電極12の形成工程と同様であるので、記載を省略する。

(4) 強誘電体層のパターニング工程

図7および図8に示すように、レジスト層30をマスクとして、さらに強誘電体層

140を選択的に除去して強誘電体層14をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることができる。その後、レジスト層30を公知の方法、例えば溶解あるいはアッシングによって除去する。

5 (5) 誘電体層の形成工程

図6に示すように、強誘電体層14と第2信号電極16とからなる積層体の相互間に、誘電体層18を形成する。誘電体層18の形成方法としては、CVD、特にMOCVDなどの気相法、あるいはスピンドルコート法やディップ法等の液相を用いた方法を用いることができる。

誘電体層18は、前述したように、強誘電体キャパシタを構成する強誘電体層14より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層としてPZT材料を用いた場合には、誘電体層18の材料としては、たとえば SiO_2 , Ta_2O_5 , SrTiO_3 , MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層14としてSBTを用いた場合には、誘電体層18の材料として、 SiO_2 , Ta_2O_5 , SrTiO_3 , SrTa_2O_6 , SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

以上の工程によって、メモリセルアレイ200Bが形成される。この製造方法によれば、強誘電体キャパシタ20を構成する強誘電体層14は、第2信号電極16のパターニングで用いたレジスト層30をマスクとして連続的にパターニングされるので、工程数を少なくできる。さらにこの場合、各層を別々のマスクでパターニングする場合に比べて、1つのマスクの合わせ余裕が不要となるので、メモリセルアレイの高集積化も可能となる。

[第3の実施の形態]

図9は、第3の実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図10は、図9のC-C線に沿った断面図である。

第3の実施の形態において、第1の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

本実施の形態は、強誘電体キャパシタを構成する強誘電体層が第1信号電極（下電極）上にライン状に積層されて形成されている点で、第1の実施の形態と異なる。

本実施の形態に係るメモリセルアレイ 200C は、絶縁性の基体（たとえば層間絶縁層）10 上に、第 1 信号電極 12、強誘電体キャパシタを構成する第 1 強誘電体層 14 および第 2 信号電極 16 が積層されている。そして、第 1 信号電極 12、強誘電体層 14 および第 2 信号電極 16 によって強誘電体キャパシタ 20 が構成される。す
5 なわち、第 1 信号電極 12 と第 2 信号電極 16 との交差領域において、それぞれ強誘電体キャパシタ 20 からなるメモリセルが構成されている。

第 1 信号電極 12 および第 2 信号電極 16 は、図 9 に示すように、X 方向および Y 方向にそれぞれ所定のピッチで配列されている。

強誘電体層 14 は、第 1 信号電極 12 上に選択的に形成されている。また、基体 10 上において、第 1 信号電極 12 の相互間には、後に詳述する表面修飾層 22 が配置されている。この表面修飾層 22 上には誘電体層 18 が形成されている。この誘電体層 18 は、強誘電体層 14 に比べて小さい誘電率を有することが望ましい。このよう
10 に第 1 信号電極 12 および強誘電体層 14 からなる積層体の相互間に、強誘電体層 14 より誘電率の小さい誘電体層 18 を介在させることにより、第 2 信号電極 16 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込み
15 および読み出しの動作をより高速に行うことが可能となる。

（デバイスの製造方法）

図 11～図 14 は、第 3 の実施の形態に係るメモリセルアレイ 200C の製造工程を模式的に示す断面図である。

20 (1) 表面修飾層の形成

まず、基体 10 の表面特性に選択性を付与する工程を行う。ここで、基体 10 の表面特性に選択性を付与するとは、基体 10 の表面の、当該表面に堆積させるための材料に対してぬれ性等の表面特性の異なる領域を形成することである。

本実施の形態において、図 11 に示すように、具体的には、基体 10 の表面に、強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第 1 の領域 24 と、第 1 の領域 24 よりも強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第 2 の領域 26 と、を形成する。そして、後続の工程で、この表面特性の差を利用し、各領域間での材料の堆積速度や基体との密着性における選択性に

より、第1の領域24には、強誘電体キャパシタが選択的に形成される。

すなわち、後続の工程で、強誘電体キャパシタの第1信号電極12および強誘電体層14の少なくとも一つを、例えば化学的気相成長法(CVD法)、物理的気相成長法または液相法を適用して、第1の領域24に選択的な堆積プロセスで形成することができる。この場合であって、例えば基体10の表面が、強誘電体キャパシタを構成する部材を形成するための材料が堆積され易い性質を有する場合には、第1の領域24では表面を露出させ、第2の領域26では上記材料が堆積されにくい表面修飾層22を形成し、強誘電体キャパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

本実施の形態では、基体10の表面の全面に表面修飾層を形成してから、図11に示すように、第1の領域24で表面修飾層を除去して、第2の領域26に表面修飾層22を残す。詳しくは、次の工程を行う。

表面修飾層22は、CVD等の気相成長法によって形成してもよいし、スピントロ法やディップ法等の液相を用いた方法によって形成してもよく、その場合には液体または溶媒に溶かした物質を使用する。このような物質としては、例えば、シランカップリング剤(有機ケイ素化合物)やチオール化合物を使用することができる。

ここで、チオール化合物とは、メルカプト基(-SH)を持つ有機化合物(R^1-SH ; R^1 はアルキル基等の置換可能な炭化水素基)の総称をいう。このようなチオール化合物を、例えば、ジクロロメタン、トリクロロメタン等の有機溶剤に溶かして0.

1~10mM程度の溶液とする。

また、シランカップリング剤とは、 $R^2_nSiX_{4-n}$ (nは自然数、 R^2 は水素、アルキル基等の置換可能な炭化水素基)で表される化合物であり、Xは $-OR^3$ 、 $-COOH$ 、 $-OOCR^3$ 、 $-NH_{3-n}R^3n$ 、 $-OCN$ 、ハロゲン等である(R^3 はアルキル基等の置換可能な炭化水素基)。これらシランカップリング剤およびチオール化合物の中で、特に R^1 や R^3 が $C_nF_{2n+1}C_mH_{2m}$ (n、mは自然数)であるようなフッ素原子を有する化合物は、表面自由エネルギーが高くなり他材料との親和性が小さくなるため、好適に用いられる。

または、メルカプト基や $-COOH$ 基を有する化合物による上述した方法で得られる膜を用いることもできる。以上の材料による膜は、適切な方法により単分子膜やそ

の累積膜の形で用いることができる。

本実施の形態では、図11に示すように、第1の領域24では、表面修飾層が形成されない。表面修飾層22として例えばシランカップリング剤を使用した場合、光を当てることで、基体10との界面で、分子の結合が切れて除去される場合がある。この5ような光によるパターニングには、リソグラフィで行われるマスク露光を適用することができる。あるいは、マスクを使用せずに、レーザ、電子線またはイオンビームなどによって直接的にパターニングしてもよい。

なお、表面修飾層22自体を他の基体上に形成し、これを転写することにより第2の領域26に表面修飾層22を選択的に形成し、成膜と同時にパターニングすることもできる。

こうして、図11に示すように、第1の領域24と、表面修飾層22で被覆された状態となっている第2の領域26との間で、表面状態が異なるようにして、後続の工程における強誘電体キャパシタを構成する部材を形成するための材料との親和性に差を生じさせることができる。特に、表面修飾層22が、フッ素分子を有するなどの理由で、撥水性を有していれば、例えば強誘電体キャパシタを構成する部材の材料を液相にて提供する場合に、第1の領域24に選択的に当該材料を付与することができる。また、表面修飾層22の材料によっては、これが存在しない第1の領域24では、
10 上層の部材を形成するための材料との親和性で気相法による成膜がされるようになることができる。このように、第1の領域24と第2の領域26の表面の性質に選択性を付与し、後続の工程で、強誘電体メモリ装置の強誘電体キャパシタの部材（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。
15

（2）第1信号電極の形成工程

図12に示すように、強誘電体キャパシタの下部電極となる第1信号電極12を、第1の領域24に対応して形成する。例えば、基体10の表面の全体に対して、気相法による成膜工程を行う。こうすることで、選択堆積プロセスが行われる。すなわち、第1の領域24では成膜がされ、第2の領域26では成膜がされにくいので、第1の領域24のみに第1信号電極12が形成される。ここで、気相法としてCVD、特にMOCVDを適用することが好ましい。第2の領域26では、全く成膜されないことが好ましいが、第1の領域24での成膜よりも、成膜スピードにおいて2桁以上遅け

ればよい。

また、第1信号電極12の形成には、その材料の溶液を液相の状態で第1の領域24に選択的に供給する方法、またはその材料の溶液を超音波等によりミスト化して第1の領域24に選択的に供給するミストデポジション法を採用することもできる。

5 第1信号電極12を構成する材料としては、第1の実施の形態で述べたと同様に、
例えは白金、イリジウム等を用いることができる。基体10上に第1の領域24と、
前述したような材料を含む表面修飾層22(第2の領域26)とを形成し、表面特性
の選択性を形成した場合、白金については、例えは $(C_5H_7O_2)_2Pt$ 、 $(C_5HF_2O_2)_2Pt$ 、
 $(C_3H_5)(C_5H_5)Pt$ を電極を形成するための材料として、イリジウムに
ついては、例えは $(C_3H_5)_3Ir$ を電極を形成するための材料として用いて、選択的
に堆積させることができる。
10

(3) 強誘電体層の形成工程

図13に示すように、第1信号電極12上に強誘電体層14を形成する。詳しくは、
基体10の表面の全体に対して、例えは気相法による成膜工程を行う。こうすることで、
第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、
第1信号電極12上のみに強誘電体層14が形成される。ここで、気相法としてCV
D、特にMOCVDを適用することができる。

また、強誘電体層14の形成には、その材料の溶液を液相の状態で第2の領域26
以外の領域に形成された第1信号電極12上にインクジェット法等で選択的に供給
する方法、またはその材料の溶液を超音波等によりミスト化して第2の領域26以外
の部分に選択的に供給するミストデポジション法を採用することもできる。
20

強誘電体層14としては、強誘電性を示してキャパシタ絶縁層として使用できれば、
その組成は任意のものを適用することができる。例えは、STB系材料、PZT系材
料の他、ニオブや酸化ニッケル、酸化マグネシウム等の金属酸化物を添加したもの等
25 が適用できる。強誘電体の具体例としては、第2の実施の形態で述べたものと同様の
ものを例示できる。さらに、強誘電体の材料の具体例としては、第2の実施の形態で
述べたものと同様のものを例示できる。

また、強誘電体層14は、次のようにして形成することもできる。強誘電体前駆層
を形成し、強誘電体前駆層を熱処理することにより、強誘電体層を形成することもで

きる。強誘電体前駆層としては、非晶質状態または微結晶状態のS B T膜、非晶質状態または微結晶状態のP Z T膜を挙げることができる。強誘電体前駆層の形成方法としては、塗布法、スパッタ法、C V D法、レーザーアブレーション法などを挙げることができる。熱処理の温度は、膜質により異なるが、非晶質状態のS B T膜の場合たとえば600～700℃、好ましくは600～650℃であり、非晶質状態のP Z T膜の場合たとえば400～500℃、好ましくは400～450℃である。この強誘電体層の形成方法によれば、他の形成方法に比べて形成温度を低くして、強誘電体層を形成することができる。このため、他の形成法に比べて、強誘電体の構成物質が、基体10から剥離してしまうのを確実に防止することができる。

10 (4) 誘電体層の形成工程

図14に示すように、第2の領域26上に、すなわち、第1の領域24に形成された、第1信号電極12と強誘電体層14とからなる積層体の相互間の領域に、誘電体層18を形成する。誘電体層18の形成方法としては、C V D、特にM O C V Dなどの気相法、あるいはスピンドルコート法やディップ法等の液相を用いた方法を用いることができる。誘電体層18は、たとえばC M P (Chemical Mechanical Polishing) 法などによって、強誘電体層14と同一レベルの表面を有するように平坦化されが好ましい。このように誘電体層18を平坦化することにより、第2信号電極16の形成が容易かつ正確に行われる。

誘電体層18は、強誘電体キャパシタを構成する強誘電体層14より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層としてP Z T材料を用いた場合には、誘電体層18の材料としては、たとえばS i O₂, T a₂O₅, S r T i O₃, M g Oなどの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層14としてS B Tを用いた場合には、誘電体層18の材料として、S i O₂, T a₂O₅, S r T i O₃, S r T a₂O₆, S r S n O₃などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

25 (5) 第2信号電極の形成工程

図10に示すように、強誘電体層14および誘電体層18上に所定パターンの第2信号電極(上部電極)16を形成する。その形成方法は、例えば、強誘電体層14および誘電体層18上に第2信号電極16を形成するための電極材料を成膜し、成膜さ

れた電極材料をパターニングする。

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。例えば、強誘電体層14を構成する材料としてPZTを用いる場合には、第2の実施の形態と同様に、第2信号電極16を構成する電極材料として、白金、イリジウムおよびその化合物等を用いることができる。第2信号電極16は、単層または複数の層を積層したものを用いることができる。

電極材料の成膜方法としては、第1の実施の形態と同様に、スパッタリング、真空蒸着、CVD等の方法が利用できる。パターニング方法としては、リソグラフィ技術を利用することができる。

さらに、必要に応じて、強誘電体層14、誘電体層18および第2信号電極16の表面に絶縁性の保護層を全体的に形成する。このようにして、本実施の形態に係るメモリセルアレイ200Cを形成することができる。

本実施の形態の製造方法によれば、第1の領域24には強誘電体キャパシタを構成する少なくとも一部材を選択的に形成することができ、第2の領域26にはこれが形成されにくい。こうして、エッチングを行うことなく、第1信号電極（下電極）および強誘電体層の少なくとも1つ（本実施の形態では第1信号電極12および強誘電体層14）を形成することができる。この方法によれば、第1信号電極のパターニングとしてスパッタエッチングを用いた場合のように、エッチングにより生ずる二次生成物に起因する再付着物の問題を回避することができる。

本実施の形態の製造方法においては、図13に示す工程の後に、第2の領域26上で、表面修飾層22を除去してもよい。この工程は、第1信号電極12および強誘電体層14の成膜工程が完了してから行う。例えば、表面修飾層のパターニング工程で説明した方法で、表面修飾層22を除去することができる。表面修飾層22を除去するときに、その上に付着した物質も除去することが好ましい。例えば、表面修飾層22上に、第1信号電極12または強誘電体層14の材料が付着したときに、これらを除去してもよい。なお、表面修飾層22を除去する工程は、本発明の必須要件ではなく、表面修飾層22を残してもよい。

また、第1信号電極12の側面に強誘電体層14が形成されている場合には、これらを除去することが好ましい。除去工程では、例えば、ドライエッチングを適用する

ことができる。

上記実施の形態では、表面修飾層 22 を第 2 の領域 26 に形成し、第 1 の領域 24 および第 2 の領域 26 の表面のそれぞれを、続いて形成される強誘電体キャパシタの少なくとも一部材（第 1 信号電極および強誘電体層の少なくとも一方）を形成するための材料の堆積性、すなわち堆積され易さが異なるような表面特性にした。その変形例として、表面修飾層 22 を第 1 の領域 24 に形成し、強誘電体キャパシタの少なくとも一部材を形成するための材料を表面修飾層 22 の表面に対して優先的に堆積されるように液相または気相の組成に調製して、第 1 の領域 24 に選択的に強誘電体キャパシタを形成してもよい。

また、例えば第 2 の領域 26 の表面に前述したような表面修飾層の薄い層を選択的に形成し、第 1 の領域 24 および第 2 の領域 26 を含む全面に強誘電体キャパシタの少なくとも一部材を形成するための材料を気相または液相で供給し、全面に当該部材の材料の層を形成し、ポリッシングや化学的な手法で表面修飾膜の薄い層上の当該部材の材料層のみを選択的に除去し、第 1 の領域 24 上に選択的に当該部材の材料層を得ることもできる。

その他、第 1 の領域 24 および第 2 の領域 26 の表面のそれぞれには、特に明確に層を設けず、選択的に表面処理を行い、第 1 の領域 24 上に強誘電体キャパシタの少なくとも一部材を形成するための材料が優先的に堆積されるようにしてもよい。

本実施の形態で特徴とする、表面修飾層を用いた第 1 信号電極（下電極）および強誘電体層の形成については、本願出願人による特許協力条約に基づく国際出願（出願番号 PCT/JP00/03590）に記載されている。

本実施の形態に係る強誘電体メモリ装置の製造方法は、次の変形が可能である。

表面修飾層を利用せず、下部電極および強誘電体層を順次堆積し、強誘電体層および下部電極を同一マスクで連続的にパターニングすることもできる。

25 [第 4 の実施の形態]

図 15 は、本実施の形態に係る強誘電体キャパシタを有するメモリセルアレイの要部を模式的に示す平面図であり、図 16 は、図 15 の D-D 線に沿った断面図であり、図 17 は、図 15 の E1-E1 線に沿った断面図であり、図 18 は、図 15 の E2-E2 線に沿った断面図である。

本実施の形態において、第1の実施の形態のメモリセルアレイと実質的に同じ機能を有する部材には同一の符号を付して説明する。

本実施の形態は、強誘電体キャパシタを構成する強誘電体層14が第1信号電極12と第2信号電極16との交差領域にのみ形成されている点で、第1および第2の実

5 施の形態と異なる。

本実施の形態に係るメモリセルアレイ200Dは、絶縁性の基体10上に、第1信号電極12、強誘電体キャパシタを構成する強誘電体層14および第2信号電極16が積層されている。そして、第1信号電極12、強誘電体層14および第2信号電極16によって強誘電体キャパシタ20が構成される。すなわち、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタ20からなるメモリセルが構成されている。第1信号電極12および第2信号電極16は、図15に示すように、X方向およびY方向にそれぞれ所定のピッチで配列されている。

強誘電体層14は、第1信号電極12および第2信号電極16の交差領域にのみ選択的に形成されている。図16に示すように、第2信号電極16に沿ってみると、基

15 体10上において、第1信号電極12上に強誘電体層14および第2信号電極16が積層され、さらに、第1信号電極12の相互間には表面修飾層22が配置され、この表面修飾層22上には誘電体層18が形成されている。また、図17に示すように、

第1信号電極12に沿ってみると、第1信号電極12の所定位置において、強誘電体層14と第2信号電極16とが積層されている。そして、強誘電体層14および第2

20 信号電極16の積層体の相互間には何もない状態である。図17に示すように、第1信号電極12上に沿ってみると、第1信号電極12の所定位置において、強誘電体層14と第2信号電極16とが積層されている。図18に示すように、X方向であって

14と第2信号電極16とが積層されている。第1信号電極12が形成されていない部分についてみると、表面修飾層22上の所定位置において、誘電体層180と第2信号電極16とが積層されている。そして、強

25 誘電体層14および第2信号電極16の積層体の相互間、ならびに誘電体層180および第2信号電極16の積層体の相互間には、必要に応じて誘電体層を形成することができる。

誘電体層180ならびに必要に応じて形成される上記誘電体層は、強誘電体層14に比べて小さい誘電率を有することが望ましい。このように第1信号電極12および

強誘電体層 14 からなる積層体の相互間、あるいは強誘電体層 14 および第 2 信号電極 16 からなる積層体の相互間に、強誘電体層 14 より誘電率の小さい誘電体層を介在させることにより、第 1 信号電極 12 および第 2 信号電極 16 の浮遊容量を小さくすることができる。その結果、強誘電体メモリ装置における書き込みおよび読み出しの動作をより高速に行うことが可能となる。

また、本実施の形態では、強誘電体キャパシタ 20 を構成する強誘電体層 14 は、第 1 信号電極 12 と第 2 信号電極 16 との交差領域にのみ形成されている。このような構造によれば、第 1 信号電極 12 および第 2 信号電極 16 双方の浮遊容量を小さくすることができる点で有利である。

(デバイスの製造方法)

図 19～図 26 は、本実施の形態に係るメモリセルアレイ 200D の製造工程を模式的に示す断面図である。

(1) 表面修飾層の形成

まず、基体 10 の表面特性に選択性を付与する工程を行う。ここで、基体 10 の表面特性に選択性を付与するとは、基体 10 の表面の、当該表面に堆積させるための材料に対してぬれ性等の表面特性の異なる領域を形成することである。この点については第 2 の実施の形態で詳細に説明したので、簡単に説明する。

本実施の形態において、図 20 に示すように、具体的には、基体 10 の表面に、強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性を有する第 1 の領域 24 と、第 1 の領域 24 よりも強誘電体キャパシタを構成する部材を形成するための材料、特に電極を形成するための材料に対して親和性の小さい第 2 の領域 26 と、を形成する。そして、後続の工程で、この表面特性の差を利用し、各領域間での材料の堆積速度や基体との密着性における選択性により、第 1 の領域 24 には、強誘電体キャパシタが選択的に形成される。

すなわち、例えば基体 10 の表面が、強誘電体キャパシタを構成する部材を形成するための材料が堆積され易い性質を有する場合には、第 1 の領域 24 では表面を露出させ、第 2 の領域 26 では上記材料が堆積されにくい表面修飾層 22 を形成し、強誘電体キャパシタを構成する部材を形成するための材料の堆積に対する選択性を付与することができる。

本実施の形態では、基体10の表面の全面に表面修飾層を形成してから、図20に示すように、第1の領域24で表面修飾層を除去して、第2の領域26に表面修飾層22を残す。表面修飾層22の形成方法については、第2の実施の形態で述べた方法と同様の方法を採用できる。

5 (2) 第1信号電極の形成工程

図21に示すように、強誘電体キャパシタの下部電極となる第1信号電極12を、第1の領域24に対応して形成する。第1信号電極12の形成方法および電極材料については、第2の実施の形態で述べた方法および材料と同様のものを採用できる。

(3) 強誘電体層の形成工程

図22に示すように、第1信号電極12上に強誘電体層140を形成する。詳しくは、基体10の表面の全体に対して、例えば気相法による成膜工程を行う。こうすることで、第1信号電極12上では成膜がされ、第2の領域26では成膜がされにくいので、第1信号電極12上のみに強誘電体層140が形成される。強誘電体層140の成膜方法としては、第2の実施の形態で述べたと同様の方法を採用できる。

強誘電体層14としては、強誘電性を示してキャパシタ絶縁層として使用できれば、その組成は任意のものを適用することができる。例えば、S B T系材料、P Z T系材料の他、ニオブやニッケル、マグネシウム等の金属を添加したもの等が適用できる。

強誘電体の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。さらに、強誘電体の材料の具体例としては、第1の実施の形態で述べたものと同様のものを例示できる。

(4) 誘電体層の形成工程

図19および図23に示すように、第2の領域26上に、すなわち、第1の領域24に形成された、第1信号電極12と強誘電体層14とからなる積層体の相互間の領域に、誘電体層180を形成する。図23は、図19のE3-E3線に沿った断面図である。

誘電体層180の形成方法としては、第1の実施の形態で述べたと同様の方法を採用できる。さらに、誘電体層180は、たとえばC M P法などによって、強誘電体層140と同一レベルの表面を有するように平坦化されることが好ましい。このように誘電体層180を平坦化することにより、第2信号電極16の形成が容易かつ正確に

行われる。

誘電体層 180 は、強誘電体キャパシタを構成する強誘電体層 14 より小さな誘電率を有する誘電体材料を用いることが好ましい。たとえば、強誘電体層として P Z T 材料を用いた場合には、誘電体層 180 の材料としては、たとえば SiO_2 , Ta_2O_5 , 5 SrTiO_3 , MgO などの無機材料あるいはポリイミドなどの有機材料を用いることができ、強誘電体層 14 として SBT を用いた場合には、誘電体層 180 の材料として、 SiO_2 , Ta_2O_5 , SrTiO_3 , SrTa_2O_6 , SrSnO_3 などの無機材料あるいはポリイミドなどの有機材料を用いることができる。

以上の工程（1）～（4）によって、第 1 の領域 24 に第 1 信号電極 12 および強誘電体層 140 が積層され、第 2 の領域 26 に表面修飾層 22 および誘電体層 180 が積層される。

（5）第 2 信号電極の形成工程

図 24～図 26 に示すように、強誘電体層 140 および誘電体層 180 上に所定パターンの第 2 信号電極（上部電極）16 を形成する。その形成方法は、例えば、強誘電体層 140 および誘電体層 180 上に、第 2 信号電極 16 を形成するための電極材料を成膜し、成膜された電極材料をパターニングする。

電極材料は、強誘電体キャパシタの一部となるための機能を有するものであれば特に限定されるものではない。強誘電体層 140 を構成する材料としては、第 2 の実施の形態で述べたと同様なものを採用できる。また、電極材料の成膜方法としては、第 20 1 の実施の形態と同様に、スパッタリング、真空蒸着、CVD 等の方法が利用でき、パターニング方法としては、リソグラフィ技術を利用することができる。

例えば、第 2 の実施の形態と同様に、図示しないレジスト層を第 2 信号電極 16 のための電極材料層上に形成し、これをマスクとしてエッチングを行うことで、第 2 信号電極 16 をパターニングできる。

（6）強誘電体層のパターニング工程

図 17 および図 18 に示すように、図示しないレジスト層をマスクとして、さらに強誘電体層 140 を選択的に除去して強誘電体層 14 をパターニングする。成膜された強誘電体材料を選択的に除去する方法としては、第 2 の実施の形態と同様に、RIE、スパッタエッチング、プラズマエッチングなどのエッチング方法を用いることが

できる。その後、レジスト層を公知の方法、例えば溶解あるいはアッシングによって除去する。

(7) 誘電体層の形成工程

さらに、必要に応じて、強誘電体層14と第2信号電極16とからなる積層体の相
5 互間、ならびに表面修飾層22と第2信号電極16とからなる積層体の相互間に、図
示しない誘電体層を形成する。誘電体層の形成方法としては、工程(4)の誘電体層
180と同様の方法を用いることができる。

以上の工程によって、メモリセルアレイ200Dが形成される。この製造方法によ
れば、第2の実施の形態および第3の実施の形態での利点を有する。すなわち、エッ
10 チングを行うことなく、第1信号電極(下電極)および強誘電体層の少なくとも1つ
(本実施の形態では第1信号電極12および強誘電体層14)を形成することができる。
15 したがって、第1信号電極のパターニングとしてスパッタエッチングを用いた場
合のように、エッチングにより生ずる二次生成物に起因する再付着物の問題を回避す
ることができる。また、第2信号電極16のパターニングで用いたレジスト層をマスク
各層を別々のマスクでパターニングする場合に比べて、1つのマスクの合わせ余裕が
不要となるので、メモリセルアレイの高集積化も可能となる。

以上、強誘電体キャバシタの存在しない領域に誘電体層18または180を形成す
る例を示してきたが、もちろん、本発明は、誘電体層18または180を設けない構
20 成にも適用できる。

上記の実施の形態に係る強誘電体メモリ装置は、次のようにして形成してもよい。
基体の上に、下部電極をCVD法などにより形成し、その下部電極をパターニング
する。次に、下部電極を含む基体の上に、強誘電体層を形成し、その強誘電体層をパ
ターニングする。次に、強誘電体層を含む基体の上に、上部電極を形成し、上部電極
25 をパターニングする。

[メモリセルアレイの変形例]

次に、メモリセルアレイの変形例について、図27～図31を参照しながら説明す
る。

(1) 第1の変形例

図27は、メモリセルアレイ100Eの要部を示す断面図である。このメモリセルアレイ100Eは、絶縁性基板400と、この絶縁性基板400に形成された溝内に設けられた第1信号電極12と、強誘電体層14と、第2信号電極16とを有する。
この例において特徴的なことは、第1信号電極12がいわゆるダマシン法によって形成されていることである。たとえば、第1信号電極12は、酸化シリコン層からなる絶縁性基板400に所定パターンの溝を形成した後、この溝内にたとえば白金などの金属をメッキによって充填し、その後CMP法によって金属層を研磨し平坦化することにより形成される。

10 このようにダマシン法によって第1信号電極を形成することにより、絶縁性基板400上に段差のない状態で強誘電体層14を形成できるので、強誘電体層14が容易に形成できる。また、第1信号配線12の高さを大きくすることによりその抵抗を小さくできるので、高速の書き込み、読み出しが可能となる。

(2) 第2の変形例

15 図28は、メモリセルアレイ100Fの要部を模式的に示す断面図である。この例では、絶縁性基板400に所定パターンの凹部410と凸部420とが形成されている。そして、凹部410の底面および凸部420の上面に、それぞれ第1信号電極12aおよび12bが形成されている。これらの第1信号電極12a, 12bが形成された絶縁性基板400上には強誘電体層14が形成され、さらに強誘電体層14上には所定パターンの第2信号電極16が形成されている。この構造のメモリセルアレイ20 100Fにおいては、強誘電体キャパシタが上下方向に離れた状態で交互に形成されていることから、平面的に見て隣接する第1信号電極12aと第1信号電極12bとの間にスペースをとる必要がない。そのため、メモリセルを極めて高い集積度で配置することができる。

(3) 第3の変形例

25 図29は、本実施の形態に係る強誘電体メモリ装置を模式的に示す平面図である。この強誘電体メモリ装置4000は、例えば第1の実施の形態に係る強誘電体メモリ装置1000を単位ブロック1000Aとし、これを複数個配列した点に特徴を有する。このように強誘電体メモリ装置を分割した状態で配置することにより、信号電極の配線長を適正なものにすることことができ、その結果高速の書き込み、読み出しが可能

となる。単位ブロックとしては、第1の実施の形態のメモリ装置と同様の構成を有する単位ブロック1000Aの代わりに、第2の実施の形態に係るメモリ装置2000, 3000を単位ブロック2000A, 3000Aとすることもできる。

(4) 第4の変形例

上記実施の形態においては、メモリセルアレイは、1層のみである。しかし、これに限定されず、図30に示すように、2層以上であってもよい。すなわち、複数のメモリセルアレイ100a, 100bが、層間絶縁層などの保護層を介して積層してもよい。

(5) 第5の変形例

図31に示すように、第1信号電極12間に、上面が第1信号電極12の上面と面一の絶縁層40を形成することができる。この場合、強誘電体層を平坦な面上に形成することができるため、強誘電体層のパターニングの精度を向上させることができる。この絶縁層の形成方法としては、溶液塗布法を挙げることができる。また、選択成長法を利用して絶縁層を形成することもできる。具体的な選択成長の方法は、第3および第4の実施の形態で述べた方法を適用することができる。

また、絶縁層を先に形成して、絶縁層間に金属層を充填して、第1信号電極を形成してもよい。金属層の充填は、溶液塗布法を挙げることができる。使用される溶液は、たとえば3nm(30Å)の金属微粉末が分散された溶液を挙げることができる。

[エンベデット半導体装置への適用例]

図32は、上記実施の形態の強誘電体メモリ装置が適用された、エンベデット装置のレイアウトを示す模式図である。この例では、エンベデット装置2000は、フラッシュメモリ90と、プロセッサ94と、アナログ回路96とがSOG(Sea of Gates)に混載されている。また、SRAMが混載されていてもよい。

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

請求の範囲

1. メモリセルがマトリクス状に配列され、第1信号電極と、該第1信号電極と交差する方向に配列された第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配置された強誘電体層と、を含むメモリセルアレイと、
5 前記メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部と、を含み、
前記メモリセルアレイと前記周辺回路部とは、異なる層に配置され、
前記周辺回路部は、前記メモリセルアレイの外側の領域に形成されている、強誘電
10 体メモリ装置。
2. 請求項1において、
前記強誘電体層は、前記第1信号電極または前記第2信号電極に沿って、ライン状に配置される、強誘電体メモリ装置。
3. 請求項2において、
前記強誘電体層は、前記第1信号電極上に選択的に配置された、強誘電体メモリ装置。
15
4. 請求項3において、
基体上に前記メモリセルが配置され、前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられて
20 いる、強誘電体メモリ装置。
5. 請求項4において、
前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置。
6. 請求項4において、
25 前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成された、強誘電体メモリ装置。
7. 請求項6において、
前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を

有する、強誘電体メモリ装置。

8. 請求項 6 において、

前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有する、強誘電体メモリ装置。
5

9. 請求項 2 において、

前記強誘電体層は、前記第 2 信号電極下に選択的に配置された、強誘電体メモリ装置。

10. 請求項 9 において、

基体上に前記メモリセルが配置され、前記基体および前記第 1 信号電極の露出面が覆われるよう、前記強誘電体層および前記第 2 信号電極からなる積層体の相互間に、誘電体層が設けられている、強誘電体メモリ装置。
10

11. 請求項 9 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電
15 体メモリ装置。

12. 請求項 2 において、

前記強誘電体層は、前記第 1 信号電極と前記第 2 信号電極との交差領域のみに配置
されており、強誘電体メモリ装置。
15

13. 請求項 12 において、

基体上に前記メモリセルが配置され、前記基体の露出面の一部が覆われるよう、前記第 1 信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設け
20 られている、強誘電体メモリ装置。

14. 請求項 13 において、

前記基体上において、さらに前記基体および前記第 1 信号電極の露出面が誘電体層
25 によって覆われた、強誘電体メモリ装置。

15. 請求項 13 において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電
体メモリ装置。
25

16. 請求項 13 において、

前記基体上に、該基体の表面と異なる表面特性を有する表面修飾層が形成された、
強誘電体メモリ装置。

17. 請求項16において、

前記表面修飾層は、前記メモリセルが形成されない領域に配置され、該表面修飾層
5 の表面が前記メモリセルを構成する材料に対して前記基体の表面より低い親和性を
有する、強誘電体メモリ装置。

18. 請求項16において、

前記表面修飾層は、前記メモリセルが形成される領域に配置され、該表面修飾層の
表面が前記メモリセルを構成する材料に対して前記基体の表面より高い親和性を有
10 する、強誘電体メモリ装置。

19. 請求項1において、

前記強誘電体メモリ装置は、絶縁性基体を有し、

前記メモリセルアレイは、前記絶縁性基体の溝内に設けられた前記第1信号電極と、
前記強誘電体層と、前記第2信号電極とを含み、

前記第1信号電極が形成された前記絶縁性基体の上に、前記強誘電体層および前記
15 第2信号電極が積層された、強誘電体メモリ装置。

20. 請求項1において、

前記メモリセルアレイは、絶縁性基体を有し、

絶縁性基体に所定パターンで形成された凹部および凸部を有し、

前記凹部の底面および前記凸部の上面に、それぞれ前記第1信号電極が配置され、
前記第1信号電極が形成された絶縁性基体上に、前記強誘電体層および前記第2信
号電極が積層された、強誘電体メモリ装置。

21. 請求項1に記載の強誘電体メモリ装置を単位ブロックとして、該単位ブロック
を複数所定パターンで配列した、強誘電体メモリ装置。

22. 請求項1において、

複数組のメモリセルアレイを有し、

前記複数組のメモリセルアレイは、積層されて形成されている、強誘電体メモリ裝
置。

23. 請求項1において、

前記第1信号電極間に、絶縁層が設けられ、

前記第1信号電極の上面と、前記絶縁層の上面とは、面一である、強誘電体メモリ装置。

24. (a) 半導体基板上に、メモリセルに対して選択的に情報の書き込みもしくは
5 読み出しを行うための周辺回路部を形成する工程、および

(b) 少なくとも、第1信号電極と、該第1信号電極と交差する方向に配列された
第2信号電極と、少なくとも前記第1信号電極と前記第2信号電極との交差領域に配
置された強誘電体層と、を形成して、メモリセルがマトリクス状に配列されたメモリ
セルアレイを形成する工程を含み、

10 前記周辺回路部は、前記メモリセルアレイの外側の領域において形成される、強誘
電体メモリ装置の製造方法。

25. 請求項24において、

前記工程(b)は、前記第1信号電極を形成する工程(b-1)、

前記強誘電体層を形成する工程(b-2)、および

前記第2信号電極を形成する工程(b-3)、を含む、強誘電体メモリ装置の製造
方法。

26. 請求項25において、

前記工程(b-2)は、非晶質状態または微結晶状態の強誘電体層を形成する工程、
および、該非晶質状態または微結晶状態の強誘電体層を熱処理して、前記強誘電体層
を形成する工程を含む、強誘電体メモリ装置の製造方法。

27. 請求項25において、

前記工程(b-2)は、前記第1信号電極に沿ってライン状の強誘電体層を形成す
る工程である、強誘電体メモリ装置の製造方法。

28. 請求項27において、

25 基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するた
めの材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比
較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための
材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および

前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料

を付与し、前記第1の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

29. 請求項28において、

前記基体の表面上に、前記第1および第2の領域を形成する、強誘電体メモリ装置の
5 製造方法。

30. 請求項29において、

前記第1の領域では、前記基体の表面を露出させ、

前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成
10 する、強誘電体メモリ装置の製造方法。

31. 請求項29において、

前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成
15 する、強誘電体メモリ装置の製造方法。

32. 請求項27において、

前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層から
なる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

33. 請求項32において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電
20 体メモリ装置の製造方法。

34. 請求項25において、

前記第1信号電極と交差する方向に、前記強誘電体層および前記第2信号電極が形
成され、

前記強誘電体層は、前記第2信号電極に沿ってライン状に形成される、強誘電体メ
モリ装置の製造方法。
25

35. 請求項34において、

前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによっ
てパターニングされる、メモリセルアレイの製造方法。

36. 請求項34において、

前記基体および前記第1信号電極の露出面が覆われるよう、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられる、メモリセルアレイの製造方法。

5 37. 請求項36において、

前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、メモリセルアレイの製造方法。

38. 請求項25において、

前記工程（b-3）の後、前記強誘電体層をパターニングして、前記第1信号電極と前記第2信号電極との交差領域のみにブロック状に前記強誘電体層を残す工程（b-4）を含む、強誘電体メモリ装置の製造方法。

39. 請求項38において、

前記基体上に、前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が優先的に堆積される表面特性を有する第1の領域と、前記第1の領域に比較して前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料が堆積され難い表面特性を有する第2の領域と、を形成する工程、および前記第1信号電極および前記強誘電体層の少なくとも一方を形成するための材料を付与し、前記第1の領域に該部材を選択的に形成する工程、を含む、強誘電体メモリ装置の製造方法。

20 40. 請求項39において、

前記基体の表面上に、前記第1および第2の領域を形成する、強誘電体メモリ装置の製造方法。

41. 請求項40において、

前記第1の領域では、前記基体の表面を露出させ、

25 前記第2の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第1の領域での露出面より低い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

42. 請求項40において、

前記第2の領域では、前記基体の表面を露出させ、

前記第1の領域では、前記第1信号電極および前記強誘電体層の材料に対する親和性が、前記基体の第2の領域での露出面より高い表面特性を有する表面修飾層を形成する、強誘電体メモリ装置の製造方法。

43. 請求項38において、

5 前記強誘電体層および前記第2信号電極は、同一マスクを用いたエッチングによってパターニングされる、メモリセルアレイの製造方法。

44. 請求項38において、

前記基体の露出面が覆われるよう、前記第1信号電極および前記強誘電体層からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

45. 請求項44において、

前記基体および前記第1信号電極の露出面が覆われるよう、さらに、前記強誘電体層および前記第2信号電極からなる積層体の相互間に、誘電体層が設けられる、強誘電体メモリ装置の製造方法。

46. 請求項44において、

15 前記誘電体層は、前記強誘電体層より小さい誘電率を有する材料からなる、強誘電体メモリ装置の製造方法。

47. 請求項2-4において、

前記工程（b-1）の後に、前記第1信号電極間に絶縁層を工程（b-5）を含み、

前記絶縁層の上面と前記第1信号電極の上面とは、面一である、強誘電体メモリ装

20 置の製造方法。

48. 請求項47において、

前記工程（b-5）は、溶液塗布法を用いて、絶縁層を形成し、該絶縁層を平坦化する工程である、強誘電体メモリ装置の製造方法。

49. 請求項1～23のいずれかに記載の強誘電体メモリ装置と、

25 フラッシュメモリ、プロセッサ、アナログ回路およびS R A Mの群から選択される少なくとも1種とが混載された、混載装置。

開示の要約

本発明の強誘電体メモリ装置は、メモリセルがマトリクス状に配列され、第1信号電極と、第1信号電極と交差する方向に配列された第2信号電極と、少なくとも第1信号電極と第2信号電極との交差領域に配置された強誘電体層と、を含むメモリセルアレイと、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための周辺回路部と、を含む。メモリセルアレイと周辺回路部とは、異なる層に配置されている。周辺回路部は、メモリセルアレイの外側の領域に形成されている